

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**



**Integrated circuit with MIS semiconductor elements - is produced by deposition of insulating and photolacquer films followed by exposure and etching**

**Patent Assignee:** SIEMENS AG

**Inventors:** SIGUSCH R; WIDMANN D

**Patent Family**

Patent Number	Kind	Date	Application Number	Kind	Date	Week	Type
DE 2641334	A	19780316				197812	B
DE 2641334	C	19850627				198527	

**Priority Applications (Number Kind Date):** DE 2641334 A ( 19760914)

**Abstract:**

DE 2641334 A

In the production an insulating layer is deposited on a semiconductor substrate, and consists of individual gate regions and field insulating layers surrounding the same. The regions underneath the insulating layer are doped by ion implantation near the surface, using a mask on the field insulating layer. First an insulating layer (2) having a thickness of the field insulating layer is deposited on the semiconductor substrate (1).

The insulating layer is coated with a photo-lacquer film (3). The latter is exposed through a mask and developed with the result that the lacquer is removed from regions intended for the gate regions (4). These regions of the insulating layer are then removed by etching. After vapour deposition of a masking layer the remaining regions (6) of the lacquer film are removed after which the ion implantation takes place.

Derwent World Patents Index

© 2001 Derwent Information Ltd. All rights reserved.

Dialog® File Number 351 Accession Number 1894765

**THIS PAGE BLANK (USPTO)**

⑤

Int. Cl. 2:

**H 01 L 21/72**

⑱ **BUNDESREPUBLIK DEUTSCHLAND**

H 01 L 21/265

**DEUTSCHES**



**PATENTAMT**

**DE 26 41 334 A 1**

⑪

# **Offenlegungsschrift 26 41 334**

⑫

Aktenzeichen:

P 26 41 334.3

⑬

Anmeldetag:

14. 9. 76

⑭

Offenlegungstag:

16. 3. 78

⑳

Unionspriorität:

⑳ ㉑ ㉒

⑤

Bezeichnung:

Verfahren zur Herstellung integrierter MIS-Schaltungen

⑦

Anmelder:

Siemens AG, 1000 Berlin und 8000 München

⑧

Erfinder:

Widmann, Dietrich, Dr., 8025 Unterhaching; Sigusch, Reiner, Ing.(grad.), 8000 München

⑤

Für die Beurteilung der Patentfähigkeit in Betracht zu ziehende Druckschriften:

DE-OS 21 60 450

= GB 13 55 806

**DE 26 41 334 A 1**

2641334

76 P 7115 BRD

~~-6-~~P a t e n t a n s p r ü c h e

- (1.) Verfahren zur Herstellung von integrierten Schaltungen mit MIS-Halbleiterbauelementen, bei dem auf ein Halbleitersubstrat eine Isolierschicht aufgebracht wird, die aus einzelnen Gategebieten und aus diese Gategebiete umgebenden Feld-Isolierschichten besteht, und bei dem die unter den Feld-Isolierschicht-Gebieten liegenden Bereiche des Halbleitersubstrates in einer oberflächennahen Schicht mit Dotierstoff der Grunddotierung des Halbleitersubstrates durch Ionenimplantation dotiert wird, wobei die Ionenimplantation durch die Feld-Isolierschicht hindurch unter Verwendung einer die Gatebereiche des Halbleitersubstrates abdeckenden Maske erfolgt, g e k e n n z e i c h n e t durch den Ablauf der folgenden Verfahrensschritte:
- a. Aufbringen einer Isolierschicht (2) mit der Dicke der vorgesehenen Feld-Isolierschicht auf das Halbleitersubstrat (1),
  - b. Aufbringen einer Photolackschicht (3) auf die Isolierschicht (2),
  - c. Belichten der Photolackschicht (3) durch eine Belichtungsmaske und Entwickeln, so daß die Photolackschicht an den für die Gategebiete (4) vorgesehenen Stellen von der Isolierschicht (2) entfernt wird,
  - d. Abätzen der von der Photolackschicht (3) befreiten Gebiete (4) der Isolierschicht,
  - e. Aufdampfen einer Maskierungsschicht (5) auf die von der Isolierschicht befreiten Gebiete (4) des Halbleitersubstrates (1) und auf die Restgebiete (6) der Photolackschicht (3),
  - f. Ablösen der Restgebiete (6) der Photolackschicht (3) und Abheben der darauf befindlichen Teile (7) der Maskierungsschicht,
  - g. Implantation von Ionen (8) in den von der Maskierungsschicht (5) nicht bedeckten Bereichen des Halbleitersubstrates (1),
  - h. Entfernen der Maskierungsschicht (5),
  - i. Aufbringen einer Gate-Isolierschicht (9) auf den vorgesehenen Gatebereichen des Halbleitersubstrates (1),

809811/0459

ORIGINAL INSPECTED

2641334

76 P 7115 BRD

-7- 2

j. Aufbringen einer leitenden Gate-Elektrodenschicht (10) auf die Gate-Isolierschicht (9).

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet -  
n e t , daß zusätzlich zu den Gategebieten die als Source-  
und Draingebiete vorgesehenen Bereiche des Halbleitersubstrates  
(1) unter Verwendung eines photolithographischen Verfahrens  
freigelegt werden, und daß auf diese Gebiete vor der Im-  
plantation der Feld-Isolierschicht-Gebiete eine Maskierungs-  
schicht aufgebracht wird, und daß als Gate-Elektrodenschicht  
eine Schicht aus polykristallinem Silizium auf die Gate-Isolierschicht (9) aufgebracht wird.
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet -  
n e t , daß die Implantationsenergie bei vorgegebener Dicke  
der Feld-Isolierschicht so gewählt wird, daß das Konzentrations-  
maximum der implantierten Ionen innerhalb einer 100 nm dicken  
Schicht unter der Oberfläche des Halbleitersubstrates liegt.

809811/0459

SIEMENS AKTIENGESELLSCHAFT  
Berlin und München

Unser Zeichen  
VPA 76 P 7 1 15 BRD

3

### Verfahren zur Herstellung integrierter MIS-Schaltungen

Die Erfindung betrifft ein Verfahren zur Herstellung von integrierten Schaltungen mit MIS-Halbleiterbauelementen, wie es im Oberbegriff des Patentanspruches 1 näher angegeben ist.

Bei der Herstellung und dem Layout für integrierte Halbleiter-schaltungen mit MIS-Halbleiterbauelementen muß darauf geachtet werden, daß nicht unerwünschte "parasitäre" MIS-Transistoren bzw. MIS-Kondensatoren auftreten. Solche "parasitären" Elemente entstehen beispielsweise dadurch, daß eine Leiterbahn sich auf einer etwa 1000 nm dicken Isolierschicht über dem Halbleiter-substrat befindet und daß bei Anlegen einer Spannung an der Leiterbahn das von der Leiterbahn ausgehende elektrische Feld auf das Halbleitersubstrat einwirkt und dort z.B. eine In-versionsschicht hervorruft. Die Leiterbahn und das darunter-liegende Gebiet des Halbleitersubstrates würde in einem solchen Falle einen MIS-Kondensator darstellen. Auf ähnliche Weise können auch "parasitäre" MIS-Transistoren gebildet werden, z.B. dadurch, daß in einem Halbleitersubstrat zwei gleichartig do-tierte, eng benachbarte Gebiete vorhanden sind, und sich die Leiterbahn auf einer Isolierschicht gerade über dem zwischen diesen dotierten Gebieten befindlichen Zwischengebiet befindet. Bei Anlegen einer Spannung, die größer ist als eine "Einsatz-spannung", wirkt diese Leiterbahn als Gateelektrode eines MIS-Transistors, dessen Source- und Draingebiete die beiden do-tierten Gebiete und dessen Kanal der zwischen diesen beiden do-tierten Gebieten liegende Teil des Halbleitersubstrates sind.

809811/0459

2.9.1976 / Slz 17 Htr



Solche "parasitären" Bauelemente sind dann nicht störend, wenn deren Einsatzspannung wesentlich höher liegt als die Einsatzspannung der für die integrierte Schaltung vorgesehenen Bauelemente. Dies wird einmal dadurch bewirkt, daß die Isolierschicht in denjenigen Bereichen, die außerhalb der für die aktiven Bauelemente der integrierten Schaltungen vorgesehenen Bereiche des Halbleiters liegen, wesentlich - etwa um das 10-fach - dicker als die Gate-Isolierschicht der Bauelemente der integrierten Schaltung gewählt wird. So liegt beispielsweise bei einer integrierten Schaltung mit MOS-Transistoren die Dicke der Dünnoxidschicht zwischen 30 und 120 nm; die Dicke der Feld-Oxidschicht, die diese Dünnoxidgebiete umgibt, beträgt etwa 300 bis 1200 nm. Aufgrund der erhöhten Dicke der Isolierschicht ist das elektrische Feld, das bei Anlegen an eine Leiterbahn von der Leiterbahn ausgeht, 10 mal kleiner als bei Anlegen der gleichen Spannung an einer Gateelektrode eines Dünnoxidtransistors. Die Einsatzspannung der Feldoxid-Transistoren ist in diesem Fall aber nur dann ebenfalls um den Faktor 10 höher, wenn die Dotierung unter dem Feldoxid ebenso groß ist wie unter dem Dünnoxid. Dies trifft aber bei Bor-dotiertem Substrat wegen des Borverarmungseffekts ("pile-down"-Effekt) nicht zu, und man erhält kleinere Feldoxid-Einsatzspannungen als erwartet. Man ist daher bestrebt das Substrat in der Umgebung der Silizium-Feldoxid-Grenzschicht mit einer zusätzlichen Bor-Dotierung zu versehen.

Nach dem Stand der Technik sind verschiedene Möglichkeiten bekannt, die erhöhte Dotierung ausschließlich in den Feld-Isolierschicht-Bereichen, nicht jedoch in den Dünnoxid-Bereichen der MIS-Bauelemente hervorzurufen. Nach einem z.B. aus J. Electrochem. Soc., Vol. 115, No. 8, Seite 874 bis 876 (August 1968) bekanntem Verfahren wird auf die Oberfläche eines Siliziumsubstrates mit Hilfe eines pyrolytischen Verfahrens eine Oxidschicht aufgebracht, die den gewünschten Dotierstoff enthält. An denjenigen Teilbereichen, die die späteren Gatebereiche des Halbleitersubstrates darstellen sollen, wird diese mit dem Dotierstoff versehene Oxidschicht mit Hilfe eines photolithographischen Verfahrensschrittes entfernt. Sodann wird

Bei Temperaturen von etwa  $1000^{\circ}\text{C}$  der Dotierstoff aus der Siliziumdioxidschicht in einen oberflächennahen Bereich des Siliziumsubstrates eindiffundiert. Diese Methode hat jedoch den Nachteil, daß die vorgegebene Dotierstoffkonzentration in dem Siliziumsubstrat nicht sehr genau und nicht sehr reproduzierbar eingehalten werden kann. Nach einem weiteren Verfahren, das aus Philips Res. Repts 26, Seite 166 - 180 (1971) bekannt ist, werden diejenigen Bereiche, die für die aktiven Bauelemente der integrierten Schaltung vorgesehen sind und die nicht mit höherer Dotierung versehen werden sollen, unter Verwendung einer photolithographischen Technik mit Siliziumnitrid maskiert. An den von der Siliziumnitridschicht freigelassenen Siliziumbereichen wird mittels thermischer Diffusionsverfahren oder mit Hilfe einer Ionenimplantation der gewünschte Dotierstoff mit der gewünschten Dosis eingebracht. Anschließend wird eine thermische Oxidation des Siliziumsubstrates vorgenommen, bei der nur die freiliegenden Siliziumbereiche mit einer Dicke von  $0,3\text{ }\mu\text{m}$  bis  $2\text{ }\mu\text{m}$  in Siliziumdioxid umgewandelt werden; bei diesem Prozeß bleiben die mit Siliziumnitrid bedeckten Bereiche des Siliziumsubstrates praktisch unverändert. Bei dieser Methode ist nachteilig, daß ein zusätzlicher Verfahrensschritt, nämlich das Aufbringen und das Ätzen der Nitridschicht erforderlich ist. Weiterhin müssen besondere Vorsichtsmaßnahmen getroffen werden, damit nicht diejenigen Bereiche des Siliziumsubstrates, die sich unter der Siliziumnitridschicht befinden, mit Kristallstörungen versehen werden. Schließlich kann sich bei diesem Verfahren der erwähnte Borverarmungseffekt ("pile-down"-Effekt) negativ auswirken, der darin besteht, daß bei dem Aufoxidieren des Siliziumsubstrates zu Siliziumdioxid ein Teil des in das Siliziumsubstrat eingebrachten Dotierstoffes in die Siliziumdioxidschicht gelangt und daß somit die Dotierstoffkonzentration in dem dotierten Siliziumbereich wieder sinkt.

Als weiteres Verfahren zur Dotierung des Halbleitersubstrates unter den Feld-Isolierschichtbereichen wird auf das Substrat zunächst eine Dotierungsmaske aufgebracht, die diejenigen Bereiche, die nicht dotiert werden sollen, abdeckt. Sodann wird

das Halbleitersubstrat einem Diffusions- oder Implantationsprozeß unterworfen und die von der Dotiermaske freien Teile des Halbleitersubstrates dotiert. Im Anschluß daran wird dann das Feldoxid aufgebracht. Diese letzte Methode hat den Nachteil, daß sie nicht "selbstjustierend" ist, daß also die zu dotierenden Bereiche des Halbleitersubstrates unter der Feld-Isolierschicht und die Freilegung der Gatebereiche des Halbleitersubstrates nicht mit dem gleichen Maskierungsschritt vorgenommen werden können.

Aufgabe der Erfindung ist es, ein "selbstjustierendes" Verfahren anzugeben, mit dem die unter der Feld-Isolierschicht liegenden Bereiche des Halbleitersubstrates zur Erhöhung der Einsatzspannung der parasitären MIS-Bauelemente und die Erzeugung der Gatebereiche mit einem einzigen Maskierungsschritt erzeugt werden können.

Diese Aufgabe wird bei einem wie im Oberbegriff des Patentanspruches 1 angegebenen Verfahren erfindungsgemäß nach der im kennzeichnenden Teil des Patentanspruches 1 angegebenen Weise gelöst.

Das Verfahren nach der Erfindung hat den Vorteil, daß die Implantation durch die Feld-Isolierschicht hindurch erfolgen kann und daß somit nach dem Einbringen des Dotierstoffes praktisch auch keine Isolierschicht mehr über den so dotierten Stellen aufwachsen muß. Aus diesem Grunde wirkt sich der insbesondere bei einer Bor-Dotierung von Silizium auftretende "pile-down"-Effekt kaum störend aus. Weiterhin ist das Verfahren nach der Erfindung sowohl bei einer Polysilizium-Gate-Technik als auch bei einer Aluminium-Gate-Technik durchführbar. Bei der Polysilizium-Gate-Technik, bei der die Gateelektroden aus polykristallinem Silizium bestehen, werden zusätzlich zu den vorgesehenen Gategebieten auch die Source- und die Draingebiete des Halbleitersubstrates von der Feld-Isolierschicht befreit

Im folgenden wird beschrieben und anhand der Figuren näher er-

läutert, wie das erfindungsgemäße Verfahren durchgeführt wird.

Fig. 1 bis 7 zeigen schematisch den Verfahrensgang.

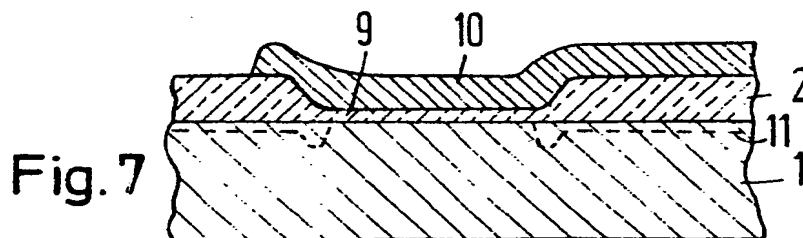
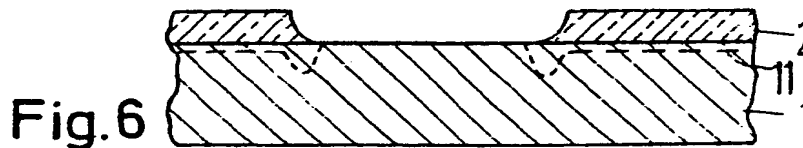
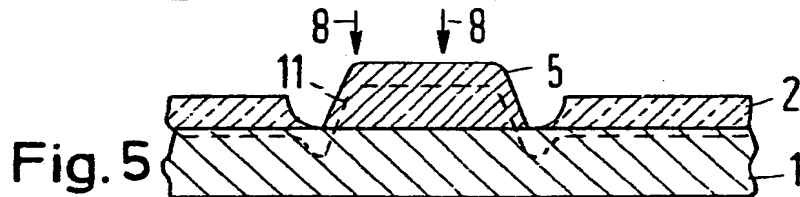
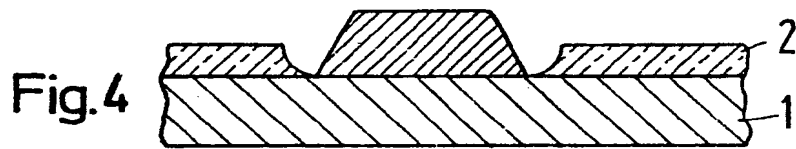
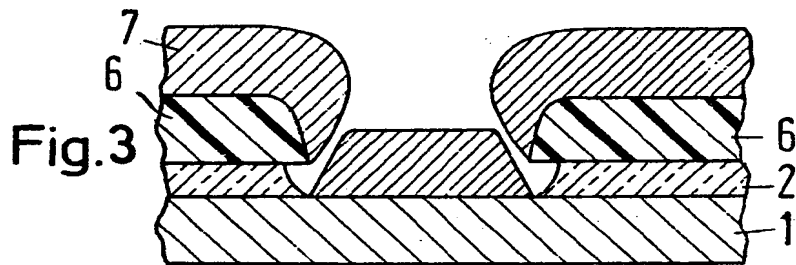
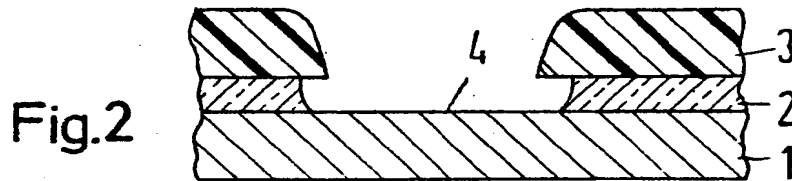
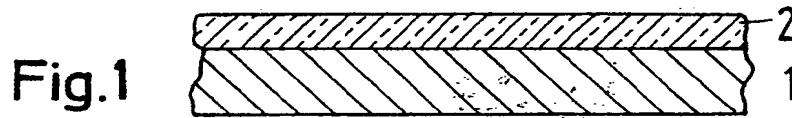
Als Ausführungsbeispiel diene die Herstellung einer integrierten Schaltung mit MIS-Bauelementen nach der Aluminium-Gate-Technik. Auf einem Siliziumsubstrat 1 wird durch thermische Oxidation als Feld-Isolierschicht 2 eine Oxidschicht mit einer Stärke von etwa 500 nm aufgebracht. Im Anschluß daran wird eine Photolackschicht 3 mit einer Dicke von etwa 1  $\mu$ m auf die Feld-Oxidschicht 2 aufgebracht, durch eine Photomaske belichtet und entwickelt. An denjenigen Stellen 4, an denen nach dem Entwickeln die Photolackschicht 3 entfernt ist, wird die Feld-Oxidschicht 2 durch Ätzen entfernt (Fig. 2). Im Anschluß daran wird auf die verbleibenden Teile 6 der Photolackschicht 3 und auf die freigelegten Teile des Halbleitersubstrates 4 eine etwa 1  $\mu$ m dicke Aluminiumschicht 5<sup>7</sup> aufgebracht (Fig. 3). Sodann wird die Photolackschicht 3 abgelöst und es werden die auf dieser Photolackschicht befindlichen Teile 7 der Aluminiumschicht mitabgehoben, so daß eine Struktur übrigbleibt, bei der sich auf dem Halbleitersubstrat 1 das Feldoxid 2 und in den von Feldoxid befreiten Teilen 4 eine Aluminiummaskierung 5 befinden (Fig. 4). Es erfolgt nun eine Implantation von Bor-Ionen 8, die eine kinetische Energie von etwa 150 bis 200 keV haben, mit einer Gesamtdosis von etwa  $5 \cdot 10^{12}$  Ionen pro  $\text{cm}^2$ . Bei einer Dicke der Feldoxidschicht 2 von 500 nm erhält man bei einer solchen Implantation einen Konzentrationsverlauf<sup>11</sup> der implantierten Ionen, bei dem das Maximum an der Oberfläche des Halbleitersubstrates liegt, und dort eine Dotierstoffkonzentration von etwa  $10^{17}$  Teilchen pro  $\text{cm}^3$  vorherrscht (Fig. 5). Als nächster Verfahrensschritt folgt die Entfernung der Aluminium-Implantationsmaske 5 (Fig. 6). Sodann wird mit den bekannten Mitteln der von der Implantationsdotierung freie Gatebereich mit einer etwa 10 bis 100 nm dicken Gateoxidschicht 9 überzogen und im weiteren Verfahrensschritten auf diese Gateoxidschicht eine Gateelektrode, z.B. eine Aluminiumschicht<sup>10</sup>, aufgebracht (Fig. 7).

8  
Leerseite

Nummer: 26 41 334  
 Int. Cl. 2: H 01 L 21/72  
 Anmeldetag: 14. September 1976  
 Offenlegungstag: 16. März 1978

- 9 -

2641334



809811/0459

Siemens AG

ORIGINAL INSPECTED